

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07211069 A**

(43) Date of publication of application: **11.08.95**

(51) Int. Cl. **G11C 11/407**

(21) Application number: **06011391**

(22) Date of filing: **06.01.94**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **SAWADA TOMOHIRO
KASAMA YASUHIRO
YANAGISAWA KAZUMASA**

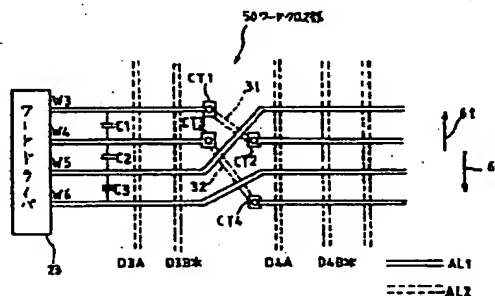
(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: To suppress a coupling noise between word lines.

CONSTITUTION: If the arrangement pitch of word lines is denoted by (n), a word crossing part 50 where the order of the arrangement of the word lines is changed so as to have the interval between the adjacent word lines (2n) partially is provided. By suppressing a coupling noise between the word lines, the breakage of memory cell data caused by the coupling noise can be avoided.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-211069

(43) 公開日 平成7年(1995)8月11日

(51) Int.Cl.⁶

G11C 11/407

識別記号

庁内整理番号

F I

技術表示箇所

G11C 11/34

354 D

審査請求 未請求 請求項の数3 F D (全6頁)

(21) 出願番号 特願平6-11391

(22) 出願日 平成6年(1994)1月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 澤田 智広

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 笠間 靖裕

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 柳沢 一正

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 玉村 静世

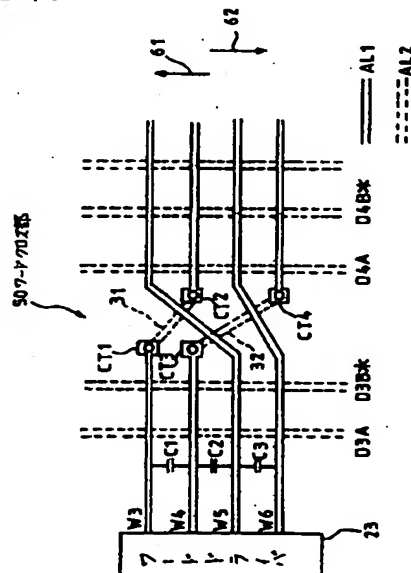
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 本発明の目的は、ワード線間のカップリングノイズを低減するための技術を提供することにある。

【構成】 ワード線の配列ピッチを n とすると、互いに隣接するワード線同士の間隔が部分的に $2n$ 以上となるようにワード線の配列順序を入れ替えるためのワードクロス部50を設け、ワード線間のカップリングノイズを低減することによって、カップリングノイズに起因するメモリセルデータの破壊を排除する。

図1



【特許請求の範囲】

【請求項1】 複数のワード線が配列されて成る半導体記憶装置において、ワード線の配列ピッチを n とすると、互いに隣接するワード線同士の間隔が部分的に $2n$ 以上となるようにワード線の配列順序を入換えるためのワードクロス部を含むことを特徴とする半導体記憶装置。

【請求項2】 上記ワードクロス部は、ワード線の長手方向のほぼ中央部に形成されて成る請求項1記載の半導体記憶装置。

【請求項3】 上記ワードクロス部は、多層配線によってワード線の配列順序の入換えを行う請求項1又は2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置、さらにはそれにおけるワード線配列技術に関し、例えばDRAM（ダイナミック・ランダム・アクセス・メモリ）に適用して有効な技術に関する。

【0002】

【従来の技術】 DRAMは、アドレスバッファ、デコーダ、センス増幅器などの周辺回路にはクロックに同期して動作するダイナミック型の回路が用いられるため、1～3相の外部クロックが必要とされ、これらのクロックに基づいて内部回路クロックを発生させて周辺回路を制御、あるいは駆動するようにしている。そのようなDRAMにおいては、ランダムアクセスが主体であり、アクセス毎にロウアドレス、カラムアドレスの読み込みを順次行うことにより、メモリセルアレイから所望のセルが選択される。

【0003】 メモリセルアレイは、複数のダイナミック型メモリセルをマトリクス配置して成る。メモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入力端子はカラム方向毎に相補データ線に結合される。そして、それぞれの相補データ線は、相補データ線に1対1で結合された複数のカラム選択スイッチを含むY選択スイッチ回路を介して相補コモンデータ線に共通接続される。

【0004】 尚、DRAMについて記載された文献の例としては、昭和59年11月30日に株式会社オーム社から発行された「LSIハンドブック（第486頁）」がある。

【0005】

【発明が解決しようとする課題】 半導体記憶装置においてワード線を急峻に立上げるとは、アクセス速度の高速化を図る上で有効とされるが、急峻に立ち上げられたワード線に隣接するワード線が、本来非選択状態であるにもかかわらず、隣接ワード線間の寄生容量によるカップリングに起因するノイズのために不所望に選択レベルとなり、そのためにメモリセルデータが破壊されること

がある。このような現象は、微細化プロセス技術により信号線間の間隔が小さくなるほど顕著とされる。そのような現象を低減するため、非選択状態のワード線をグラウンドレベルに固定するためのMOSトランジスタの駆動能力を大きくすることが考えられるが、そのようにすると、当該MOSトランジスタのサイズが大きくなってしまいうため、チップレイアウトの点で不利となる。

【0006】 本発明の目的は、ワード線間のカップリングノイズを低減するための技術を提供することにある。

10 【0007】 本発明の別の目的は、非選択状態のワード線をグラウンドレベルに固定するためのMOSトランジスタの駆動能力を大きくすること無しに、カップリングノイズに起因するメモリセルデータの破壊を排除するための技術を提供することにある。

【0008】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

20 【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】 すなわち、半導体記憶装置において、ワード線の配列ピッチを n とすると、互いに隣接するワード線同士の間隔が部分的に $2n$ 以上となるようにワード線の配列順序を入換えるためのワードクロス部を設ける。このとき、上記ワードクロス部はワード線の長手方向のほぼ中央部に形成することができる。また、上記ワードクロス部においてワード線の配列順序を簡単に入換えるには、多層配線を用いると良い。

30 【0011】

【作用】 上記した手段によれば、上記ワードクロス部は、ワード線のピッチが部分的に $2n$ 以上となるようにワード線の配列順序を入換え、このことが、ワード線間のカップリングノイズを低減し、カップリングノイズに起因するメモリセルデータの破壊を排除する。

【0012】

【実施例】 図2には本発明の一実施例であるDRAMが示される。

40 【0013】 同図に示されるDRAMは、特に制限されないが、公知の半導体集積回路製造技術によってシリコン基板のような一つの半導体基板に形成されている。

【0014】 図2において、24は複数のダイナミック型メモリセルをマトリクス配置して成るメモリセルアレイであり、メモリセルの選択端子はロウ方向毎にワード線に結合され、メモリセルのデータ入力端子はカラム方向毎に相補データ線に結合される。そしてそれぞれの相補データ線は、相補データ線に1対1で結合された複数のカラム選択スイッチを含むY選択スイッチ回路27を介して相補コモンデータ線に共通接続される。

50 【0015】 本実施例DRAMでは、特に制限されない

が、アドレスマルチプレクス方式が採用され、ロウ及びカラムアドレス入力信号を、それらのタイミングをずらすことにより共通のアドレス端子から取込むようにしている。すなわちXアドレスラッチ及びXデコーダ22と、Yアドレスラッチ及びYデコーダ26の前段にはアドレスマルチプレクサ21が配置され、アドレスバッファ20を介して取込まれるアドレス信号が、アドレスマルチプレクサ21によりXアドレスラッチ及びXデコーダ22と、Yアドレスラッチ及びYデコーダ26とに振分けられる。このようなアドレス入力を円滑に行うためRAS* (ロウアドレスストローブ) 及びCAS* (カラムアドレスストローブ) の2種類のクロック信号を外部から与えるようにしている。一つのメモリサイクル

(RAS*クロックの1周期) 中に読出しあるいは書込みの一方の動作のみを可能とするため、RAS*クロックの立下り時点でロウアドレスを、CAS*クロックの立下り時点でカラムアドレスを内部回路に取込むようにし、ライトイネーブル信号WE*の状態によって当該サイクルが書込みサイクルか読出しサイクルかを判断するようにしている。このような判断並びに各部の動作制御は制御部25によって行われる。

【0016】ワードドライバ23は、その前段に配置されたXアドレスラッチ及びXデコーダのデコードに基づいてワード線を選択レベルに駆動する。そしてYアドレスラッチ及びYデコーダ26のデコード出力に基づいてY選択スイッチ回路27が駆動され、これにより特定されるメモリセルからのデータ読出し若しくはデータ書込みが可能とされる。また、上記メモリセルアレイ24にはセンスアンプ29が結合され、メモリセル情報がこのセンスアンプで増幅されるようになっている。この場合、データ入出力回路28にはメインアンプなどが含まれ、このメインアンプを介して読出しデータの外部送出が可能とされる。

【0017】尚、DRAMであることから、リフレッシュ動作が必要とされ、それは制御部25によって制御される。

【0018】図3には上記DRAMにおけるメモリセルアレイ24の詳細な構成が示される。

【0019】同図に示されるようにメモリセルアレイ24を構成する複数のダイナミック型メモリセルには、特に制限されないが、一つのトランジスタと蓄積容量とを直接結合して成る1トランジスタ形セルが適用される。同図において代表的に示されるように、メモリセルに含まれるトランジスタはNチャンネルMOSFETとされ、当該MOSFETの制御端子はそれに対応するワード線(W3~W6)に結合される。またMOSFET Q20、Q23のデータ入力端子はデータ線D3Aに結合され、MOSFET Q21、Q22のデータ入力端子はデータ線D3B*に結合され、MOSFET Q31、Q34のデータ入力端子はデータ線D4Aに結合され、

MOSFET Q32、Q33はデータ線D4B*に結合される。相補データ線D3A、D3B*及びD4A、D4B*には、相補データ線の電位差を増幅するためのセンスアンプ29が結合される。

【0020】図1には上記メモリセルアレイ24におけるワード線と相補データ線との関係が示される。

【0021】本実施例では、隣接ワード線間の寄生容量によるカップリングに起因するノイズ低減のため、図1に示されるように、ワード線W3、W4、W5、W6の長手方向のほぼ中央部にワードクロス部50を設け、このワードクロス部50において、ワード線W3、W4、W5、W6の配列順序を入換えることにより、隣接ワード線間の寄生容量を小さく抑えるようにしている。すなわち、ワード線の配列ピッチを n とすると、互いに隣接するワード線同士の間隔が、ワードクロス部50より右側では $2n$ 以上となるようにワード線の配列順が入換えられている。具体的には、特に制限されないが、ワードドライバ23側から見て、ワード線W3は、ワードクロス部50において矢印62方向に1ピッチだけずれ、ワード線W4は、ワードクロス部50において矢印62方向に2ピッチだけずれ、ワード線W5は、ワードクロス部50において矢印61方向に2ピッチだけずれ、ワード線W6は、ワードクロス部50において矢印61方向に1ピッチだけずれている。この結果、ワード線の配列順序は、ワードクロス部50の右側において、矢印62方向に、W5、W3、W6、W4となる。そのように配列順序を入換えることにより、隣接ワード線間の寄生容量 $C1 \sim C3$ は、配列順序を入換えない場合に比して、ほぼ $1/2$ に低減される。つまり、図4に示されるように、ワード線W3~W6の順序を入換えない場合の隣接ワード線間の寄生容量を、 $C1'$ 、 $C2'$ 、 $C3'$ とすると、図1においては、ワード線の長手方向のほぼ中央に形成されたワードクロス部50でのワード線配列順序入換えにより、隣接ワード線における近接対向面積が減少されるため、そこに形成される寄生容量 $C1$ 、 $C2$ 、 $C3$ は、それぞれ図4に示される寄生容量 $C1'$ 、 $C2'$ 、 $C3'$ のほぼ $1/2$ の値とされる。ワード線間隔が $2n$ 以上の寄生容量は、無視できるほどに小さいからである。そのように隣接ワード線間の寄生容量が低減されることにより、カップリングに起因するノイズが低減されるので、ワード線選択により、それに隣接するワード線が不所望に選択レベルとなるような現象を排除することができる。

【0022】ここで、上記ワードクロス部50は、半導体集積回路における多層配線技術を利用することによって容易に形成することができる。この多層配線は、特に制限されないが、次の通りである。

【0023】すなわち、所要位置にコンタクトホールを形成した絶縁膜上に堆積させたアルミニウム等の金属層をエッチングにて所要のパターンにした第1配線層を形

成し、上記第1配線層上に、所要の位置にスルーホールを設けた層間絶縁膜を形成し、上記スルーホールを介し第1配線層と接触するように上記層間絶縁膜上に堆積された金属層をエッチングして第2層目配線層を形成し、さらに、この上に第2層目層間絶縁膜を形成し、以下同様の工程にて多層配線層を形成することができる。

【0024】特に制限されないが、ワード線W3~W6が、第1層アルミニウム配線AL1とされるとき、ワード線W5、W6については、ワードクロス部50においてそれが単に屈曲形成されるのに対して、ワード線W3、W4については、ワード線交差による電氣的接触を回避するため、第2層アルミニウム配線AL2が使用される。つまり、ワードクロス部50において上記ワード線W5、W6と交差するように、第2アルミニウム配線AL2によるクロス配線31、32が形成され、このクロス配線31、32によって、非接触状態でのワード線交差を可能としている。上記第2アルミニウム配線AL2によるクロス配線31、32は、コンタクトホールCT1~CT4によって、それぞれ第1層アルミニウム配線AL1によるワード線W3、W4に結合される。このように第2層アルミニウム配線AL2によるクロス配線を形成する場合において、もし、相補データ線D3A、D3B*、D4A、D4B*が第2層アルミニウム配線AL2を利用して形成される場合には、クロス配線31、32の形成を優先し、ワードクロス部50の形成箇所には、相補データ線を形成しないようにする。

【0025】上記ワードクロス部50は、ワード線4本単位に形成することができる。すなわち、図5に示されるように、多数のワード線W0、W1、W2、…が配列されている場合において、ワード線4本単位に、それぞれワードクロス部WX1、WX2、WX3、WX4、…が形成される。このワードクロス部WX1、WX2、WX3、WX4、…の具体的な構成は、上記ワードクロス部50に等しい。このように多数のワード線が形成される場合において、上記のようにワード線4本単位で上記ワードクロス部を形成すると、全てのワード線の配列順番を入換えることができる。

【0026】上記実施例によれば以下の作用効果が得られる。

【0027】(1) ワード線W3、W4、W5、W6の長手方向のほぼ中央部にワードクロス部50を設け、このワードクロス部50において、ワード線W3、W4、W5、W6の配列順番を入換えることにより、隣接ワード線間の寄生容量を低減することができる。

【0028】(2) 上記(1)の作用効果により、ワード線間のカップリングノイズが低減されるので、カップリングノイズに起因するメモリセルデータの破壊が排除される。また、そのようにメモリセルデータの破壊を排除するのに、非選択状態のワード線をグラウンドレベル固定するためのMOSトランジスタの駆動能力を大きくす

る必要がないので、チップレイアウトの点で有利とされる。

【0029】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0030】例えば、上記実施例ではワード線4本単位でワードクロス部を形成するようにしたが、5本以上のワード線毎にワードクロス部を形成することができる。また、その場合において、互いに隣接するワード線同士の間隔を2n以上(nはワード線の配列ピッチ)とすることができる。さらに、上記実施例ではワード線の長手方向のほぼ中央にワードクロス部を形成するようにしたが、これは、ワード線の配列順番入換えによって寄生容量をほぼ1/2に低減するためであり、このワードクロス部の形成箇所は適宜にずらすことができる。しかしながら、ワードクロス部の形成箇所が、ワード線の端部に近づくに従い、寄生容量の低減効果が少なくなるので、可能な限り、ワード線の長手方向のほぼ中央部に形成するのが好ましい。

【0031】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、本発明はそれに限定されるものではなく、例えば、スタティックRAMや、読出し専用メモリ等、各種半導体記憶装置に適用することができる。

【0032】本発明は、少なくとも複数のワード線を有することを条件に適用することができる。

【0033】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0034】すなわち、ワード線の配列ピッチをnとすると、互いに隣接するワード線同士の間隔が部分的に2n以上となるようにワード線の配列順番を入換えるためのワードクロス部を設けることによって、隣接ワード線間の寄生容量を低減することができるので、ワード線間のカップリングノイズが低減され、カップリングノイズに起因するメモリセルデータの破壊が排除される。また、そのようにメモリセルデータの破壊を排除するのに、非選択状態のワード線をグラウンドレベル固定するためのMOSトランジスタの駆動能力を大きくする必要がないので、チップレイアウトの点で有利とされる。

【図面の簡単な説明】

【図1】本発明の一実施例であるDRAMにおけるワード線と相補データ線との関係説明図である。

【図2】上記DRAMの全体的な構成ブロック図である。

【図3】上記DRAMにおけるメモリセルアレイの構成例回路図である。

【図4】ワード線の配列順序を入換えない場合のワード線とそれの寄生容量との説明図である。

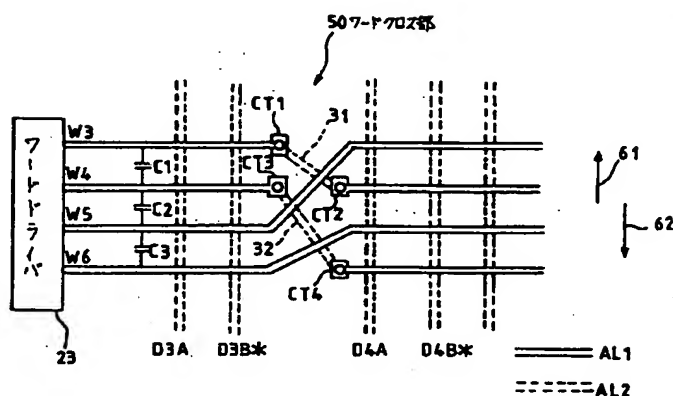
【図5】多数のワード線とワードクロス部との関係説明図である。

【符号の説明】

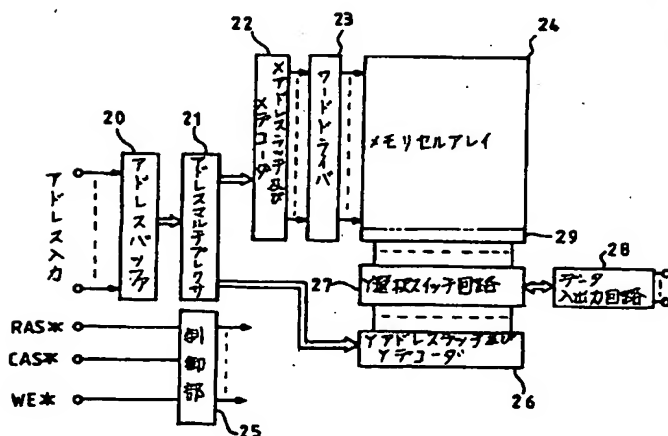
- 20 アドレスバッファ
21 アドレスマルチプレクサ
22 Xアドレスラッチ及びXデコーダ
23 ワードドライバ
24 メモリセルアレイ

- 25 制御部
26 Yアドレスラッチ及びYデコーダ
27 Y選択スイッチ回路
28 データ入出力回路
29 センスアンプ
50 ワードクロス部
W0~W7 ワード線
D3A, D3B* 相補データ線
D4A, D4B* 相補データ線
10 WX1~WX4 ワードクロス部

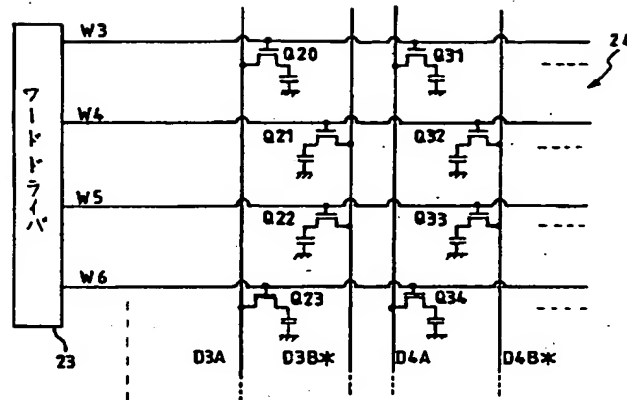
【図1】



【図2】

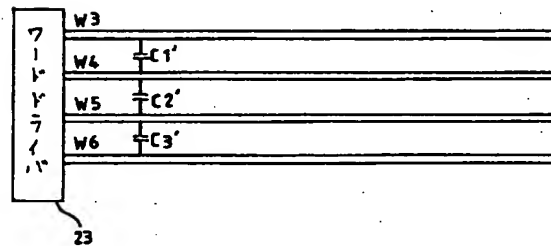


【図3】



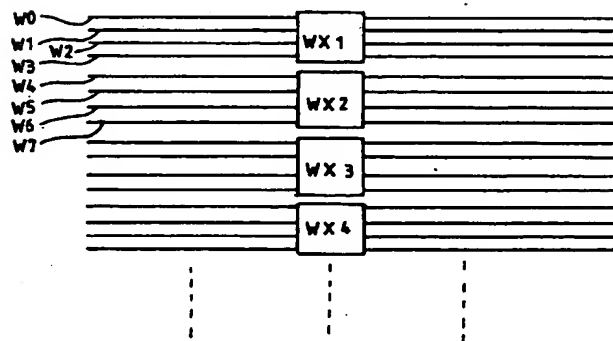
【図3】

【図4】



【図4】

【図5】



【図5】